

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-152398  
(43)Date of publication of application : 09.06.1998

---

(51)Int.Cl. C30B 29/22  
C23C 14/08  
C23C 14/35  
C23C 14/58  
C30B 29/32  
H01B 3/00  
H01L 21/203  
H01L 27/108  
H01L 21/8242

---

(21)Application number : 08-322234 (71)Applicant : NIPPON TELEGR & TELEPH CORP <NTT>  
(22)Date of filing : 18.11.1996 (72)Inventor : OFUJI SHINICHI  
HENMI MANABU

---

## (54) FORMATION OF FERROELECTRIC THIN MEMBRANE

## (57)Abstract:

PROBLEM TO BE SOLVED: To enable not only a highly dielectric membrane but also ferroelectric membrane to be selectively produced from materials having the same composition by accumulating a dielectric membrane including barium or strontium by a sputtering method having an electron cyclotron resonance type plasma source while keeping the temperature of a substrate for forming the thin membrane to a specific value, and thereafter heat-treating the accumulated substrate at a temperature within a specific range.

SOLUTION: A dielectric thin layer is accumulated on a substrate for forming the thin layer thereon while keeping the temperature of the substrate at 450–550° C and thereafter heat-treating the substrate with the accumulated thin layer at 600–900° C. The thin layer including barium or strontium and formed by a conventional technique becomes a highly dielectric thin layer, and the thin layer obtained by this invented method by using the raw materials having the same composition becomes a ferroelectric thin layer. Separated raw materials such as targets for high dielectric and ferroelectricity are not required. Two kinds of apparatus are not required also, the thin layer is formed at a low cost and in high productivity compared to an epitaxial apparatus using high vacuum.

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-152398

(43)公開日 平成10年(1998)6月9日

(51)Int.Cl.<sup>6</sup>  
C 30 B 29/22  
C 23 C 14/08  
14/35  
14/58  
C 30 B 29/32

識別記号

F I  
C 30 B 29/22 Z  
C 23 C 14/08 K  
14/35 Z  
14/58 A  
C 30 B 29/32 C

審査請求 未請求 請求項の数 1 FD (全 4 頁) 最終頁に続く

(21)出願番号 特願平8-322234

(22)出願日 平成8年(1996)11月18日

(71)出願人 000004226  
日本電信電話株式会社  
東京都新宿区西新宿三丁目19番2号  
(72)発明者 大藤 晋一  
東京都新宿区西新宿三丁目19番2号 日本  
電信電話株式会社内  
(72)発明者 逸見 学  
東京都新宿区西新宿三丁目19番2号 日本  
電信電話株式会社内  
(74)代理人 弁理士 高山 敏夫 (外1名)

(54)【発明の名称】 強誘電体薄膜の形成方法

(57)【要約】

【課題】 バリウムまたはストロンチウムを含む誘電体薄膜の製造において、製造工程中の温度を特定の値に制御することにより、同一組成の材料において高誘電性に加えて強誘電性を有する膜を作り分けて、開発および製造コストの問題を解決すること。

【解決手段】 450°C以上550°C以下の基板温度でバリウムまたはストロンチウムを含む誘電体薄膜を電子サイクロトロン共鳴型プラズマ源を有するスパッタリング法を用いて堆積する工程と、600°C以上で900°C以下の温度で熱処理を加える工程とを含む強誘電体薄膜の形成方法。

1

2

## 【特許請求の範囲】

【請求項1】 450°C以上550°C以下の基板温度でバリウムまたはストロンチウムを含む誘電体薄膜を電子サイクロトロン共鳴型プラズマ源を有するスパッタリング法を用いて堆積する工程と、600°C以上で900°C以下の温度で熱処理を加える工程とを含むことを特徴とする強誘電体薄膜の形成方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体装置などに適用されるバリウムまたはストロンチウムを含む強誘電体薄膜の形成方法に関するものである。

## 【0002】

【従来の技術】現在ダイナミック・ランダム・アクセス・メモリ(DRAM)のメモリ用電荷蓄積キャバシタには誘電体のSiO<sub>2</sub>とSiNの積層構造膜が用いられているが、今後の1Gb以上の大容量化に伴い、メモリセルは微細化するもののソフトエラー等を回避して十分な感度と信頼性を確保するために、メモリ用電荷蓄積キャバシタは線幅と比較縮小させずに十分な量に保つ必要がある。このため、誘電体膜の薄層化と共にスタッカ構造やトレンチ構造によるキャバシタの立体化が図られ、実効的なキャバシタ面積の増大が進められてきた。しかし、もともとこれらの材料の比誘電率は3.9～7.5程度と値が大きくないため、1Gb以上の集積度のDRAMでは薄層化や大面積化の対策だけでは困難になりつつある。そこで、SiO<sub>2</sub>/SiNよりも比誘電率の高いTa<sub>2</sub>O<sub>5</sub>、BaTiO<sub>3</sub>とSrTiO<sub>3</sub>の固溶体である(Ba,Sr)TiO<sub>3</sub>、さらに(Pb,La)(Zr,Ti)O<sub>3</sub>などの高誘電率材料をキャバシタに応用する研究が活発に行われている。(Ba,Sr)TiO<sub>3</sub>は、Ta<sub>2</sub>O<sub>5</sub>に比べて比誘電率が10倍以上高い薄膜が得られる可能性があり、また、DRAM応用時に誘電損失によるエネルギー・ロスが大きい(Pb,La)(Zr,Ti)O<sub>3</sub>などの強誘電体材料に比べて常誘電性が期待できることから有望な材料と見られている。

【0003】一方、誘電体材料の新しい用途として強誘電性を使って半導体基板上へ不揮発メモリを作り込む研究が進められている。例えば、トランジスタ1個と強誘電体キャバシタ1個を用いてメモリセルを構成する方法がある。記憶情報は強誘電体キャバシタの分極反転と非反転に対応して流れる電流量の差として検出する。他の1方法は、電界効果トランジスタのゲート絶縁膜に強誘電体材料を用いるもので、分極状態の違いによりトランジスタのチャネルの抵抗を変えてドレイン電流の差を検出するものである。これらの応用では強誘電体材料としてPb(Zr,Ti)O<sub>3</sub>やSr,Bi,Ta<sub>2</sub>O<sub>5</sub>が研究・開発されている。以上説明した従来技術では、誘電体材料の応用領域として高誘電率を利用するものと強誘

10

20

30

40

50

電性を利用するものとがあるが、それぞれ別々の材料が使われ、また研究されている。これにより、開発コストがかさむ問題のほかに製造設備としてそれぞれの材料ごとに別系統のラインを構築せねばならず、製造コストを押し上げるという欠点を有していた。

【0004】また、(Ba,Sr)TiO<sub>3</sub>は誘電体材料として製造実績の高い材料であるが、室温でのバルクの性質からはBa/Sr組成比が0.7/0.3以上で強誘電性、それ以下のBa濃度の低い組成では高誘電率材料に適した常誘電性を示すことが知られており、例えばスパッタリング法で薄膜を形成する場合には2種類の組成の異なるターゲットを用意せねばならないという問題を有していた。また、公知のようにケー・アベ及びエス・コマツなどによって(J. Appl. Phys. Vol. 77, No. 12, p. 6461 (1995).)、薄膜を形成する基板の材料と結晶構造、誘電膜堆積条件などによってはBa/Sr組成比が0.7/0.3以下の組成においても分極対電界特性において強誘電性に相当する履歴特性を室温で生ずることが知られている。この場合には同一の組成で製造条件を変えるのみで高誘電体と強誘電体とを作り分けられる可能性を示しているが、膜堆積中に600°C前後の高い基板温度を必要とすることやエピタキシャル成長が可能な高純度の雰囲気、遅い堆積速度などが必要になり設備コストが高く量産技術にはなりにくいという問題を有していた。

## 【0005】

【発明が解決しようとする課題】本発明の目的は、バリウムまたはストロンチウムを含む誘電体薄膜の製造において、製造工程中の温度を特定の値に制御することにより、同一組成の材料において高誘電性に加えて強誘電性を有する膜を作り分けて、開発および製造コストの問題を解決することにある。

## 【0006】

【課題を解決するための手段】本発明は、薄膜を形成する基板の温度を450°C以上550°C以下の状態に保ったままバリウムまたはストロンチウムを含む誘電体薄膜を電子サイクロトロン共鳴型プラズマ源を有するスパッタリング法(以下、ECRスパッタ法と呼ぶ)を用いて堆積した後、600°C以上で900°C以下の温度で熱処理を加えることにより従来の高誘電性材料を原料として強誘電性の薄膜を得ることを特徴とする。従来の技術とは、ECRスパッタリング法と膜形成時の特定の温度制御とを組み合わせている点で異なる。バリウムまたはストロンチウムを含む誘電体を従来技術で薄膜化すれば高誘電率膜が得られ、また同一の組成の原料を用いて本発明の方法により強誘電性を有する薄膜を得ることができるため、高誘電性及び強誘電性のそれぞれに別々のターゲット等の薄膜原料を用意する必要がない。すなわち、たとえばECRスパッタ装置に1種類の組成のバリウム

ーストロンチウム化合物（混合物でも可）ターゲットを装填して異なる温度条件で堆積と熱処理を行うことにより高誘電性膜と強誘電性膜とを形成することができる。従って、2種類のターゲットを用意する必要がなく、また2種類の装置からなる薄膜製造ラインを用意する必要がなく、従来に比べて低いコストで薄膜を形成することができる。また、E C Rスパッタ装置を使用するため、超高真空のエピタキシャル装置などに比べて量産性が高く、装置価格も従来と同等に維持できる。以上により、全体として従来よりも製造コストを下げて経済的に薄膜を形成できる利点を有する。

## 【0007】

【発明の実施の形態】450°C以上550°C以下の基板温度でバリウムまたはストロンチウムを含む誘電体薄膜を電子サイクロトロン共鳴型プラズマ源を有するスパッタリング法を用いて堆積する工程と、600°C以上で900°C以下の温度で熱処理を加える工程とを含む強誘電体薄膜の形成方法。

【0008】〔実施例〕図1は、テスト・サンプルとして強誘電性キャバシタを製作した場合の工程の主要部分の一部を示したものである。この工程は、実用のキャバシタを単体で形成する場合または半導体装置上に形成する場合と要素工程としては変わらない。S iから成る基板1を用意して、酸素ガス中での熱酸化によりS iO<sub>x</sub>からなる非晶質絶縁体層2を形成する…(a)。該非晶質絶縁体層2の上面に電子ビーム蒸着法を用いて厚さ0.05ミクロンの下部T i層3と厚さ0.1ミクロンの下部P t層4を連続して堆積して下部電極5を形成する。この上に電子サイクロトロン共鳴を原理とするプラズマ発生源を用いて、(Ba<sub>0.8</sub>, Sr<sub>0.15</sub>)TiO<sub>3</sub>の組成を持つ円筒型ターゲットに13.56MHzの周波数のRF電力300Wを供給して0.084Paの圧力のアルゴンと酸素の7対3混合ガス中でスパッタリングを行って(Ba<sub>0.8</sub>, Sr<sub>0.15</sub>)TiO<sub>3</sub>の組成を持つ厚さ0.2ミクロンの強誘電体薄膜6を形成する…

(c)。この強誘電体薄膜形成時の基板1の温度は450°Cである。さらに、この上に厚さ0.2ミクロン、直径150ミクロンのP tから成る上部電極7を金属製シャドーマスクを通して蒸着することにより形成する…

(d)。このようにしてキャバシタ構造を形成した後、常圧の酸素ガス中で650°C、30分間の熱処理を加えてペロブスカイト型の結晶構造を成長させた。

【0009】図2は、この実施例で形成した金属／誘電体／金属の3層構造を有する2端子のテスト・サンプルのキャバシタについて、分極対電圧の特性図を示したものである。電圧は0→1.5→0→-1.5→0と繰り返し走査している。この走査の往復で特性に差があり、強誘電性による履歴特性を示している。一般に強誘電性的特性は変位分極または配向分極によるものと、エピタ

キシャル成長による基板側との格子不整合や膜の内部応力を原因として膜の結晶格子が変形して分極を生ずる場合とが知られている。

【0010】なお、本実施例では堆積時の基板温度を450°Cに保ったが、400°Cに保った場合には図2に対応する特性図は直線を示し、強誘電性は得られない。さらに、550°Cを超える場合にはその後の熱処理温度との差が小さくなり強誘電性は得られない。また、本実施例では熱処理温度を650°Cとしたが、600°C未満では熱処理による強誘電性の発現はみられず、900°Cを超えると強誘電性は観測されなくなる。すなわち、中庸の温度で堆積した後、高温で結晶化させることが肝要であり、結晶化温度が高過ぎると原子の移動が激しく、堆積時の温度の効果が消失することにより上記の温度の制約が必要となる。

## 【0011】

【発明の効果】以上説明したように、本発明による方法で半導体装置に適用するバリウムまたはストロンチウムを含む強誘電性薄膜をE C Rスパッタ法で形成すれば、高誘電性膜形成時と同一のターゲットを使用でき、従って同一装置を高誘電体膜と強誘電体膜とで共有できる。また、この方法は従来技術と同程度の量産性を有する。これらにより、全体として開発及び製造のコストを従来よりも低減できる。なお、この実施例ではS iウェハを基板として用いたが、本発明は基板材料に制限されることなくG a A s等の化合物半導体やセラミック板、半導体装置実装用の高分子材料基板等にも応用できることは明らかである。また、実施例では(Ba<sub>0.8</sub>, Sr<sub>0.15</sub>)TiO<sub>3</sub>の組成を有する膜について述べたが、要はBaとSrとTiを主成分とする酸化物ペロブスカイト構造を主な骨格とする薄膜であれば本発明の効果は得られるのであって、チタン酸バリウム・ストロンチウムに限定されるものではない。

## 【図面の簡単な説明】

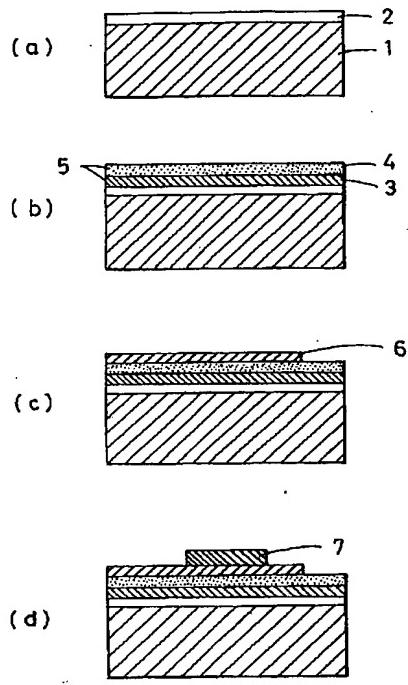
【図1】本発明を用いたところのテスト・サンプルとしてのキャバシタの形成工程の主要部を示すための断面図を示す。

【図2】本発明による方法で製作した強誘電体薄膜のキャバシタ構造を有するテスト・サンプルの分極対電圧特性図である。

## 【符号の説明】

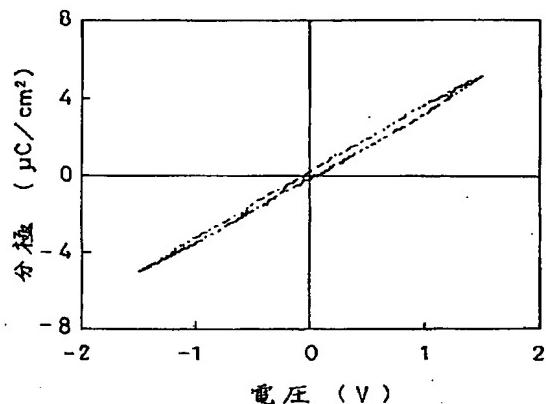
- 1 基板
- 2 非晶質絶縁体層
- 3 下部T i層
- 4 下部P t層
- 5 下部電極
- 6 強誘電体薄膜
- 7 上部電極

【図1】



1…基板  
2…非晶質絶縁体層  
3…下部Ti層  
4…下部Pt層  
5…下部電極  
6…強誘電体薄膜  
7…上部電極

【図2】



## フロントページの続き

(51)Int.Cl.<sup>6</sup>

H 01 B 3/00  
H 01 L 21/203  
27/108  
21/8242

識別記号

F I

H 01 B 3/00  
H 01 L 21/203  
27/10

H

S

651